

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **62-245167**
(43)Date of publication of application : **26.10.1987**

(51)Int.Cl. **G01R 31/28**

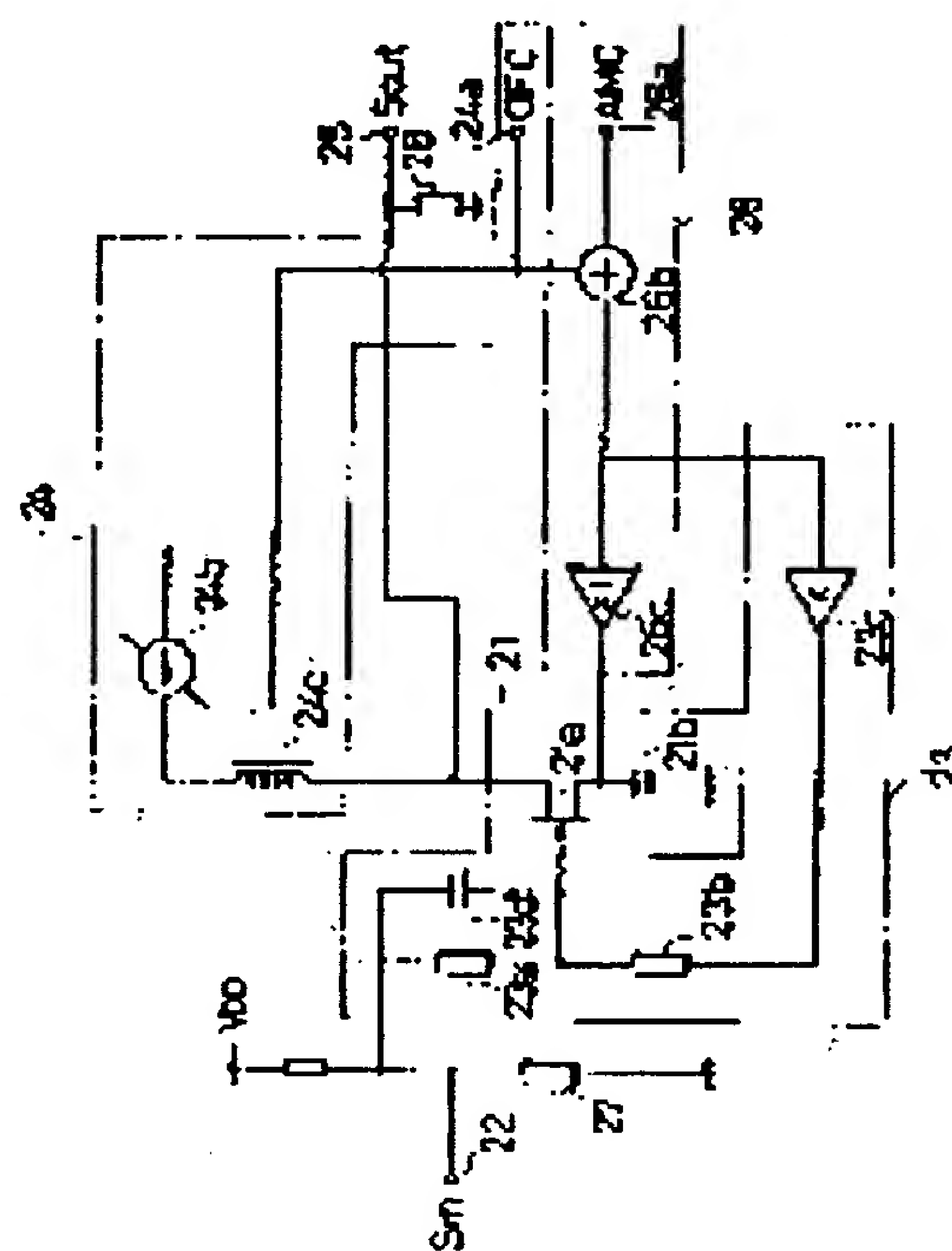
(21)Application number : **61-087492** (71) **ANRITSU CORP**
(22)Date of filing : **16.04.1986** (72)Inventor : **SAITO SUMIO**

(54) PULSE OUTPUT APPARATUS

(57)Abstract:

PURPOSE: To render an output pulse signal and an offset voltage variable over a wide frequency band by using a source grounded logic circuit, such as an FET or the like, as a fundamental circuit for performing a switching operation.

CONSTITUTION: In a source grounded logic circuit 21, an FET 21a having no majority carrier storage effect when saturated is used as a switching element. Offset control means 24, responsive to an offset control signal inputted from outside, determines the drain voltage of the circuit 21 to control an offset voltage. Amplitude control means 26 adds an amplitude control signal inputted from outside and the offset control signals. The means 26, using a resulted addition output signal, defines the source voltage of the circuit 21 and makes its output amplitude variable. Tracking means 23, receiving the addition output signal, always sets the gate bias of the circuit 21 to an optimum value. Thus, the FET can be surely operated in a stable condition while keeping the voltage between a gate and a source constant regardless of an input signal.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭62-245167

⑬ Int. Cl.⁴
G 01 R 31/28

識別記号 庁内整理番号
R-7807-2G

⑭ 公開 昭和62年(1987)10月26日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 パルス出力装置

⑯ 特 願 昭61-87492

⑰ 出 願 昭61(1986)4月16日

⑱ 発 明 者 齊 藤 澄 夫 東京都港区南麻布5丁目10番27号 アンリツ株式会社内
⑲ 出 願 人 アンリツ株式会社 東京都港区南麻布5丁目10番27号
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

パルス出力装置

2. 特許請求の範囲

飽和時に多数キャリアの蓄積効果の無いスイッチング素子をソース接地形として構成したソース接地形論理回路と、

外部から入力されるオフセット制御信号に応動して前記ソース接地形論理回路のドレイン電圧を決定してオフセット電圧を制御するオフセット制御手段と、

外部から入力される振幅制御信号と前記オフセット制御信号とを加算し、この加算出力信号を用いて前記ソース接地形論理回路のソース電圧を規定し、該ソース接地形論理回路の出力振幅を可変する振幅制御手段と、

前記加算出力信号を受領して前記ソース接地形論理回路のゲートバイアスを常に最適な値に設定するトラッキング手段と

を具備したことを特徴とするパルス出力装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、パルス出力装置に係わり、特に高周波領域においても出力振幅およびオフセット電圧の変化幅を大きく可変できるパルス出力装置に関する。

(従来の技術)

近年、PCM(パルス符号変調)通信におけるデータ伝搬量のG(ギガ)ビット化、GaAsを用いた論理集積回路、超高速書き込み読出し可能なRAM(ランダム・アクセス・メモリ)等の研究開発が進められている。このような超高速によりデジタル動作する半導体素子又は装置の動作試験をするためにパルス波形状の試験用信号を出力する装置が必要となってくる。

この試験用信号は周波数及びデータの種類の種々に変化できることは勿論のこと、被試験物としての半導体素子又はこれ等を組込んだ装置の入力振幅およびスレッシュホールド電圧の余裕度を調べるために、前記試験用信号のパルス振幅およびオフ

セット電圧が任意に可変できることが必要不可欠である。

従来、このような試験用パルス信号を出力するパルス出力装置としては、第4図に示すように、一対のトランジスタ1a、1bのエミッタ(FETの場合にはソース)を互いに共通接続し、非飽和領域でスイッチング動作する差動論理回路2が広く使用されている。すなわち、この差動論理回路2を構成する一対のトランジスタ1a、1bのエミッタ共通接続部側が定電流回路3に接続され、各コレクタはそれぞれ負荷抵抗4a、4bを介してオフセット制御回路5に接続されている。また、各トランジスタ1a、1bのベースには図示するように極性が互いに異なるパルス信号を入力する入力端子6a、6bが接続され、トランジスタ1bのコレクタには出力パルス信号を取り出す出力端子7が設けられている。

このように構成されたパルス出力装置において、出力端子7から出力される出力パルス信号の振幅は、入力端子8から入力される振幅制御信号にて

トランジスタ1a、1bの導通時のコレクタ・エミッタ間電圧 V_c (FETの場合にはドレイン・ソース間電圧 V_o)が低くなる。一般に、トランジスタの高周波領域における利得および位相特性を示すトランジション周波数 f_T は前記コレクタ・エミッタ間電圧 V_c が低くなる程小さくなる。その結果、出力パルス信号の振幅を大きくすると、パルス波形の立上り/立下がり時間が長くなり、波形特性が劣化する問題が生じる。

また、出力パルス信号の振幅を一定に保った状態でオフセット電圧を変化させた場合、オフセット電圧の変化によりトランジスタ1a、1bのコレクタ・エミッタ間電圧 V_c が変化することになる。この場合、オフセット電圧が高い時にはコレクタ・エミッタ間電圧 V_c が高くなるので、前述のトランジション周波数 f_T が高くなり、出力パルス信号波形の立上り/立下がり時間は短くなるが、逆にリングング現象が発生しやすくなり、全体のパルス波形が乱れる。逆に、オフセット電圧が低い時には、コレクタ・エミッタ間電圧 V_c が

制御される定電流回路3により定まるエミッタ電流値 I_E とトランジスタ1bの負荷抵抗4bの抵抗値 R_4 との積($I_E R_4$)により決定される。したがって、振幅制御信号を変化させることにより、所望の振幅値を得ることができる。

また、オフセット制御回路5は入力端子9から入力されるオフセット制御信号に対応したオフセット電圧を出力し、負荷抵抗4a、4bに印加するので、出力端子7から出力される出力パルス信号のオフセット電圧は、前記オフセット制御信号に比例した値となる。したがって、オフセット制御信号を変化させることにより所望のオフセット電圧を得ることができる。

しかしながら、第4図に示す差動論理回路2で構成されたパルス出力装置においては次のような問題がある。すなわち、出力パルス信号のオフセット電圧を一定に保ったまま振幅のみを大きく変える場合、振幅制御信号の電圧を大きくし定電流回路3によりエミッタ電流値 I_E を大きくする必要があるが、エミッタ電流値 I_E が大きくなると、

低下するので、リングング現象は発生しなくなるが、立上り/立下がり時間が長くなる問題がある。

このように出力パルス信号の振幅又はオフセット電圧を変化させると、トランジスタ1a、1bのトランジション周波数 f_T が変化するため、立上り時間/立下がり時間およびリングング現象等が出力パルス信号のパルス周期に対して問題となるような高周波領域においては使用できない欠点があった。

さらに、差動論理回路を構成するトランジスタ1a、1bとしてGaAs FETを使用した場合、FETのドレイン・ソース間の定格電圧は一般のシリコン・トランジスタのコレクタ・エミッタ間の定格電圧に比例して低くなるために、出力パルス信号におけるオフセット電圧の可変範囲を広くとれない問題がある。

そこで、以上のような問題を解決するために、従来、第5図に示すようなパルス出力装置が提案されている。すなわち、差動論理回路12のトランジスタ11bのコレクタは可変減衰器14の入

力端子に接続され、一方、出力端子はコンデンサ15を介して出力パルス信号を出力する出力端子16へ接続されるとともに、インダクタンス17aを介してオフセット制御回路18の差動増幅器18aの(−)側入力端子に接続されている。そして、この差動増幅器18aの(+)側入力端子はオフセット制御信号が入力される入力端子19に接続されている。さらに、このオフセット制御回路18の出力端子はインダクタンス17bを介して前記出力端子16に接続されている。また、前記差動増幅回路12の各トランジスタ11a、11bのエミッタは共通にして定電流回路13に接続されている。

このようなパルス出力装置において、定電流回路13の出力を調整して差動増幅回路12から出力される出力パルス信号の振幅を最大値に固定する。そして、可変減衰器14にてその振幅を減衰させた後、減衰された出力パルス信号のうち交流成分をコンデンサ15を介して出力端子16へ導き、直流成分をインダクタンス17aを介してオ

フセット制御回路18へ入力する。そして、この直流成分をオフセット制御回路18にて入力端子19から入力されるオフセット制御信号と重畳して出力し、インダクタンス17bを介して出力端子16へ送出する。したがって、出力端子16には、オフセット制御回路18からインダクタンス17bを介して入力された交流成分は重畳された最終の出力パルス信号が出力される。したがって、可変減衰器14の減衰度を調整することによって出力端子16から出力される出力パルス信号の振幅を可変でき、入力端子19へ入力するオフセット制御信号を調整することにより出力パルス信号のオフセット電圧を変化することが可能である。

しかも、差動増幅回路12から出力されるパルス信号の波形、振幅、オフセット電圧は常に一定であるので、可変減衰器14以降の回路の振幅、位相等の伝送特性がほぼ平坦な周波数特性を維持する限り、前述の立上り／立下がり時間等の特性は出力パルス信号の振幅変化及びオフセット電圧変化に影響されることはない。

(発明が解決しようとする問題点)

しかしながら、第5図に示すような構成のパルス出力装置においては、未だ解消しなければならない次のような問題がある。すなわち、差動増幅回路12から出力される出力パルスを減衰させるための可変減衰器14は周波数特性等を考慮して減衰度を段階的に変化させる構造になっているので、減衰度を連続的に変化させることが困難である。なお、減衰度の変化段階数を多く設定すれば上記問題は解消されるが、それだけ可変減衰器14の設置費が上昇する。また、可変減衰器14から出力されるパルス信号の直流成分を分離するインダクタンス17aとオフセット制御回路18の出力信号を交流成分に合成するインダクタンス17bとは低域通過周波数に限度があり、低域周波数成分を含んだ信号を完全に伝送できないために、出力端子16の出力パルス信号波形にサグが発生する懸念がある。

また、スイッチング動作を行わせる基本回路として、差動増幅回路12を使用しているが、その

スイッチング素子の数が多くなり、高速度スイッチング動作が不向きとなる。また、差動増幅回路12は導通側素子の掃退量が大きくなり、微少な浮遊容量であっても回路的に不安定な状態となり、その不安定性が原因となってリング現象が発生する。

本発明は以上のような実情に基づいてなされたもので、直流から高周波領域までの広い周波数帯域にわたって出力パルス信号の振幅及びオフセット電圧を、入力パルス信号の波形を劣化させずに大幅に可変し得るパルス出力装置を提供することを目的とする。

(問題点を解決するための手段)

本発明によるパルス出力装置によれば、飽和時に多数キャリアの蓄積効果の無いスイッチング素子をソース接地形として構成したソース接地形増幅回路と、外部から入力されるオフセット制御信号に応動して前記ソース接地形増幅回路のドレイン電圧を決定してオフセット電圧を制御するオフセット制御手段と、外部から入力される振幅制御

信号と前記オフセット制御信号とを加算し、この加算出力信号を用いて前記ソース接地形論理回路のソース電圧を規定し、該接地形論理回路の出力振幅を可変する振幅制御手段と、前記加算出力信号を受領して前記ソース接地形論理回路のゲートバイアスを常に最適な値に設定するトラッキング手段とを備え、上記目的を達成せんとするものである。

(作用)

従って、以上のような手段とすることにより、スイッチング動作を行わせる基本回路として飽和時に多数キャリアの蓄積効果の無いFET等のソース接地形論理回路を用いることにより、良好な出力波形を得ること及びスイッチング素子の数を減じることができ、またオフセット制御手段によりオフセット制御信号に応じて例えば直流電流を制御し前記ソース接地形論理回路出力側のオフセット電圧を制御し、かつ、振幅制御手段においては前記オフセット制御信号に振幅制御信号を加算して得られた加算出力信号を加えて前記ソース接

地にはオフセット制御手段24および出力端子25が接続され、ソース側には振幅制御手段26が接続されている。

前記オフセット制御手段24は外部から入力されるオフセット制御信号OFCに応じて前記ソース接地形論理回路21のドレイン電圧を決定し出力パルス信号のオフセット電圧を可変するものであって、その具体的構成は、外部からオフセット制御信号OFCが入力される端子24aと、この端子24aからのオフセット制御信号OFCを受けて直流電流を可変する定電流源24bと、高周波帯域でも定電流特性を保持させるためのインダクタンス24cとによって構成されている。

前記振幅制御手段26は、振幅制御信号AMCとオフセット制御信号OFCとを加算し、この加算出力信号に基づいて前記ソース接地形論理回路21のソース電圧を規定し、該論理回路21の出力パルス信号の振幅を可変するものであって、具体的には外部から振幅制御信号AMCが入力される端子26aと、この端子24aからのオフセッ

地形論理回路のソース電圧を制御し出力振幅を可変するとともに、前記加算出力信号に応じてソース接地形論理回路のゲート電圧をシフトするようにしたので、オフセット制御信号等に応じて変化するソース接地形論理回路のソース電圧に応じてソース接地形論理回路のゲート電圧をシフトしゲート・ソース間電圧を常に一定に保持させて動作させることが可能となり、回路的に安定性を確保でき、かつ、パルス振幅、オフセット電圧が互いに影響させずに独立に設定することができる。

(実施例)

以下、本発明の一実施例について第1図を参照して説明する。同図において21は飽和時に多数キャリアの蓄積効果の無いFET21aを用いたソース接地形論理回路であって、このFET21aはスイッチング素子としての機能を有し、かつ、ソース側がコンデンサ21bを介して接地されている。このFET21aのゲート側には入力端子22に入力される入力パルス信号Sinがトラッキング手段23を通して入力され、一方、ドレイン

ト制御信号OFCと端子26aからの振幅制御信号AMCとを加算する電圧加算部26bと、例えば増幅度「1」に設定された増幅器26cとにより構成されている。

前記トラッキング手段23は、前記電圧加算部26bから出力される加算出力信号に応じてソース接地形論理回路21のゲートバイアスをシフトし、常に最適なゲートバイアス電圧を維持する様に動作する機能を持っている。すなわち、トラッキング手段23は、入力信号がFET21aのゲートに直接加わった場合にロジックレベル差を生じ、かつ、振幅制御信号AMC等によってFET21aのゲート・ソース間電圧が変化するので、これらの点に着目してFET21aの動作の安定化を確保するために設けられたものである。具体的には、抵抗23aおよび23bに流れる電流と抵抗23aとの積で与えられるレベルシフト電圧を得るバイアスシフト回路と、前記加算出力信号の変化に追従させて前記バイアスシフト回路へ流入すべき電流を制御し、FET21aの最適ゲー

トバイアスを得る増幅器23cと、高周波信号成分をバイアスするバイアス素子23dとで構成されている。

27は入力負荷抵抗、28は出力負荷抵抗である。

次に、以上のように構成された装置の動作を説明する。今、説明の便宜上、例えばオフセット制御信号OFCの電圧が零Vの場合について述べる。オフセット制御信号OFCが零Vの場合、定電流源24bから流出する直流定電流は0mAとなる。この状態において出力端子25から2Vの振幅を有する出力パルス信号を得る場合、振幅制御信号AMCとしては-2Vの電圧を端子26aに供給する。

そうすると、オフセット制御信号電圧が零Vであるので、電圧加算部26bからは振幅制御信号AMCと等価な電圧の加算出力信号が取り出され、増幅器26cおよびトラッキング手段23の増幅器23cに供給される。このとき、一方の増幅器26cは増幅率「1」に設定され、よって振幅制

端子25から第2図に示すような出力パルス信号S_{out}を得ることができる。

次に、振幅1Vの出力パルス信号を得る場合、端子26aに-1Vの振幅制御信号AMCを供給する。これによりFET21aのソース電位が-1Vとなり、FET21aのオン・オフ動作によって1Vの振幅を有する出力パルス信号が得られる。この時、増幅器23cの出力は振幅制御信号AMCに応じて変化するので、所定のバイアス電圧だけシフトし、FET21aのゲートに最適ゲートバイアス電圧が与えられる。

出力パルス信号の振幅が1Vの時、端子24aに1Vのオフセット制御信号OFCを供給すると、この電圧が定電流源24bにより電流変換され、インダクタンス24cを介して出力負荷抵抗28に電流が流れる。このとき、出力負荷抵抗28が例えば50Ωであれば、1Vのオフセット制御信号OFCに対し20mAの割合となる。この電流により出力負荷抵抗28にオフセット電圧が生じるが、このときオフセット制御信号OFCにより

制御信号電圧がFET21aのソース電圧として決定され、また他方の増幅器23はFET21aの最適ゲートバイアスとなる様なシフト電圧V_sを得るための電流を流出するための増幅率kに設定されている。この結果、FET21aのスイッチング動作により出力端子25には零Vを基準にして-2Vの振幅を持った出力パルス信号が得られる。仮に、FET21aの飽和オン電圧V_rが2Vに対して無視できない量であれば、増幅器26cにV_rだけのオフセットを加え、その出力が2V+V_rになる様にしておけばよい。

従って、例えば入力端子22に第2図に示すような入力信号S_{in}が入力された時、増幅器23cを所定の増幅率kに設定しておけば、振幅制御信号AMCひいては加算出力信号によって所定の電流がバイアスシフト回路に流入され、この結果、図示する様なシフト電圧V_sだけシフトされ、FET21aの飽和オン電圧V_rと電源電圧V_oとの中間電圧が最適バイアス電圧としてFET21aのゲートに与えられ、よって、出力

FET21aのソース電位に補正を加える。この振幅1Vの時には振幅制御信号として-1Vが加わっており、これとオフセット制御信号OFCの電圧が電圧加算部26bに入り、ここで加算されてFET21aのソース側電位は零Vとなり、よって、出力端子25からはハイレベルとして電源電圧V_oにより出力負荷抵抗28に生じる電圧で1Vとなり、ローレベルは零Vとなる。この結果、直流オフセット電圧が+1V、振幅が1Vとなる出力パルス信号が得られる。また、負のオフセット電圧をかける場合、電流方向を逆にすることにより容易に実現できる。

次に、第3図は本発明装置の他の実施例を示す図である。この装置はトラッキング手段23とオフセット制御手段24とを改良したものである。トラッキング手段23は、具体的には抵抗23eとコンデンサ23fとで積分回路を構成して入力信号S_{in}の直流平均電圧を取得する直流平均電圧取得回路と、この直流平均電圧取得回路によって得られた直流平均電圧をFET21aの飽和電圧

移行時の電圧変化に応じて増減させる電圧増減回路23gと、バイアス電圧源23hと、前記電圧増減回路出力とバイアス電圧源23hのバイアス電圧との加算信号に対し、前記増幅器26cの出力電圧を与えてバイアス電圧のシフトを行う電圧加算部23iと、高周波帯域成分をバイパスするバイパス回路23jとを有し、前記電圧加算部23iの出力をバイパス回路23jを介してFET21aのゲートに最適なゲートバイアス電圧として与える構成である。また、オフセット制御手段24としては、増幅器24dと抵抗24eとでオフセット印加回路を構成する様にしたものである。なお、増幅器24dとして×2の増幅率とすれば、オフセット電圧の2倍の定電圧が得られ、これが抵抗24eと負荷抵抗28により1倍のオフセットが印加される。

なお、本発明は、上記実施例に限定されずその要旨を逸脱しない範囲で種々変形して実施できる。
(発明の効果)

以上詳記したように本発明によれば、入力信号

22…入力端子、23…トラッキング手段、
23c…増幅器、24…オフセット制御手段、
25…出力端子、26…振幅制御手段、26b…
電圧加算部、26c…増幅器。

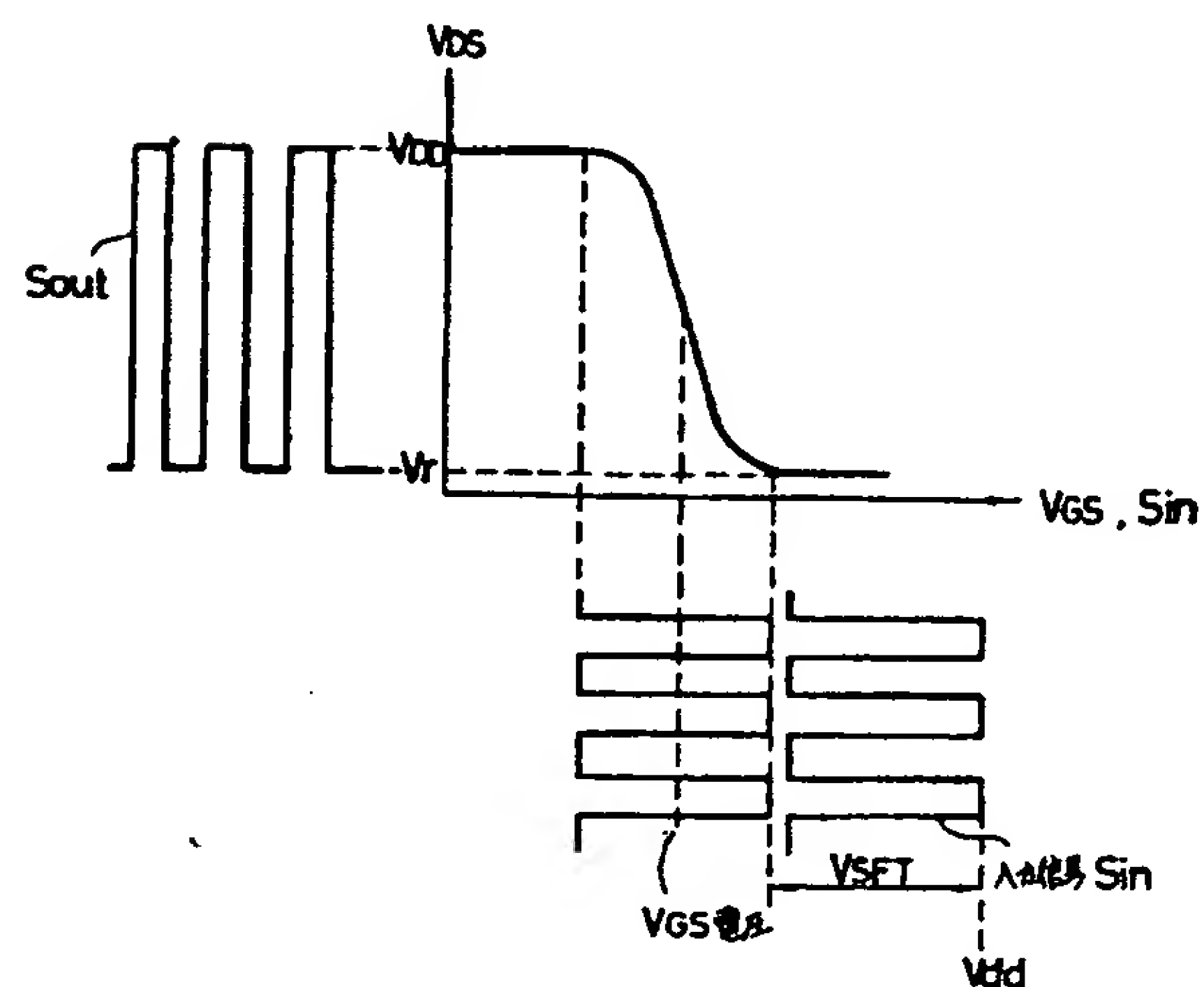
出願人代理人 井理士 鈴江武彦

レベルの如何に拘らず、オフセット制御信号および振幅制御信号を与えてスイッチング素子のゲートに最適バイアス電圧を与えて常にゲート・ソース間電圧を一定の保持しつつスイッチング素子を確実に、かつ、安定に動作させることができ、また直線から高周波帯域にわたって出力パルス信号の振幅およびオフセット電圧を、入力パルス信号の波形を劣化させず大幅に可変して出力でき、さらにオフセット電圧とパルス振幅とを互いに影響させずに個々に独立させて設定可能なパルス出力装置を提供できる。

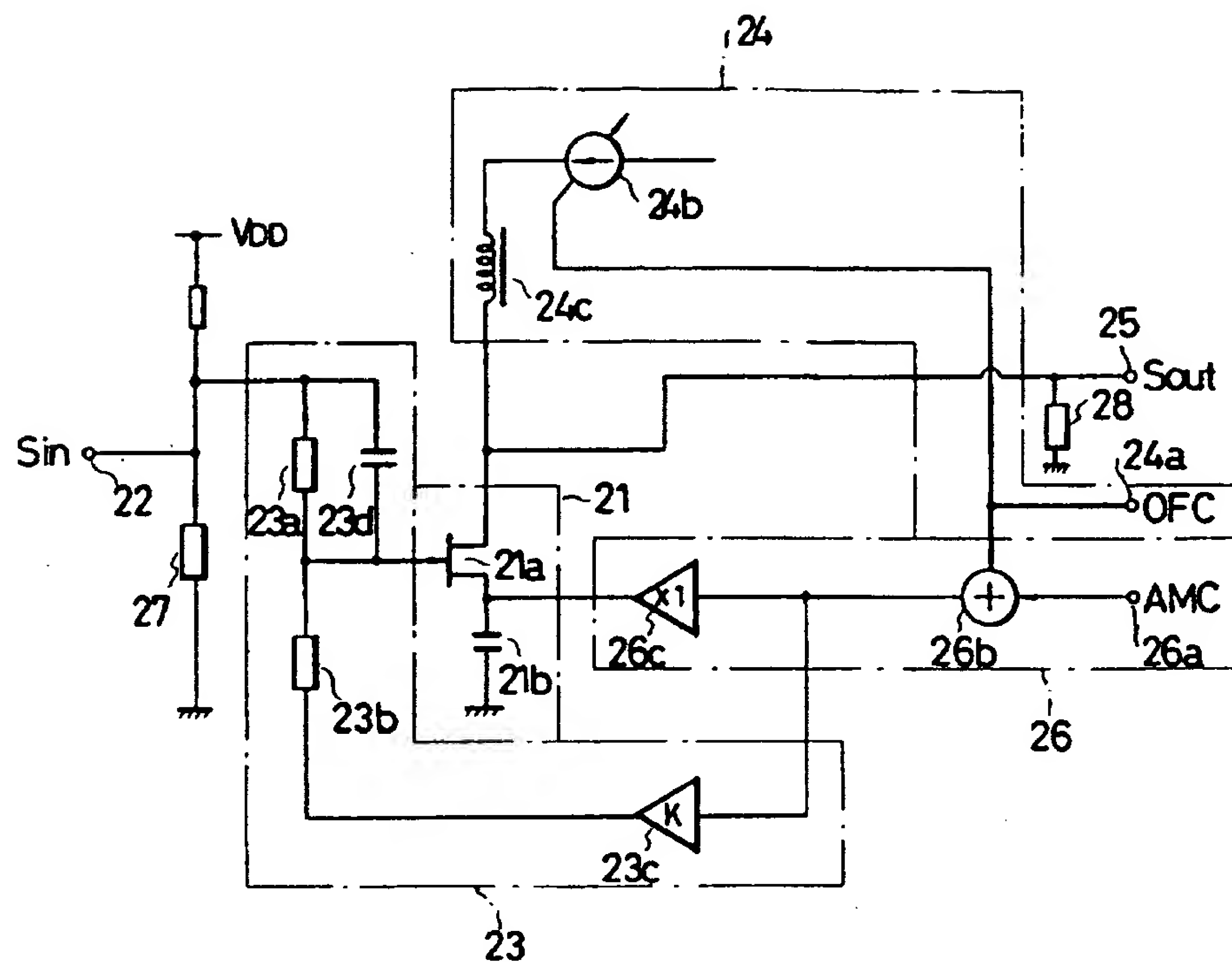
4. 図面の簡単な説明

第1図ないし第2図は本発明に係るパルス出力装置の一実施例を説明するために示したもので、第1図は本発明装置の一実施例としての構成図、第2図は第1図のトラッキング手段を説明する図、第3図は本発明装置の他の実施例を示す構成図、第4図および第5図はそれぞれ従来装置を説明する構成図である。

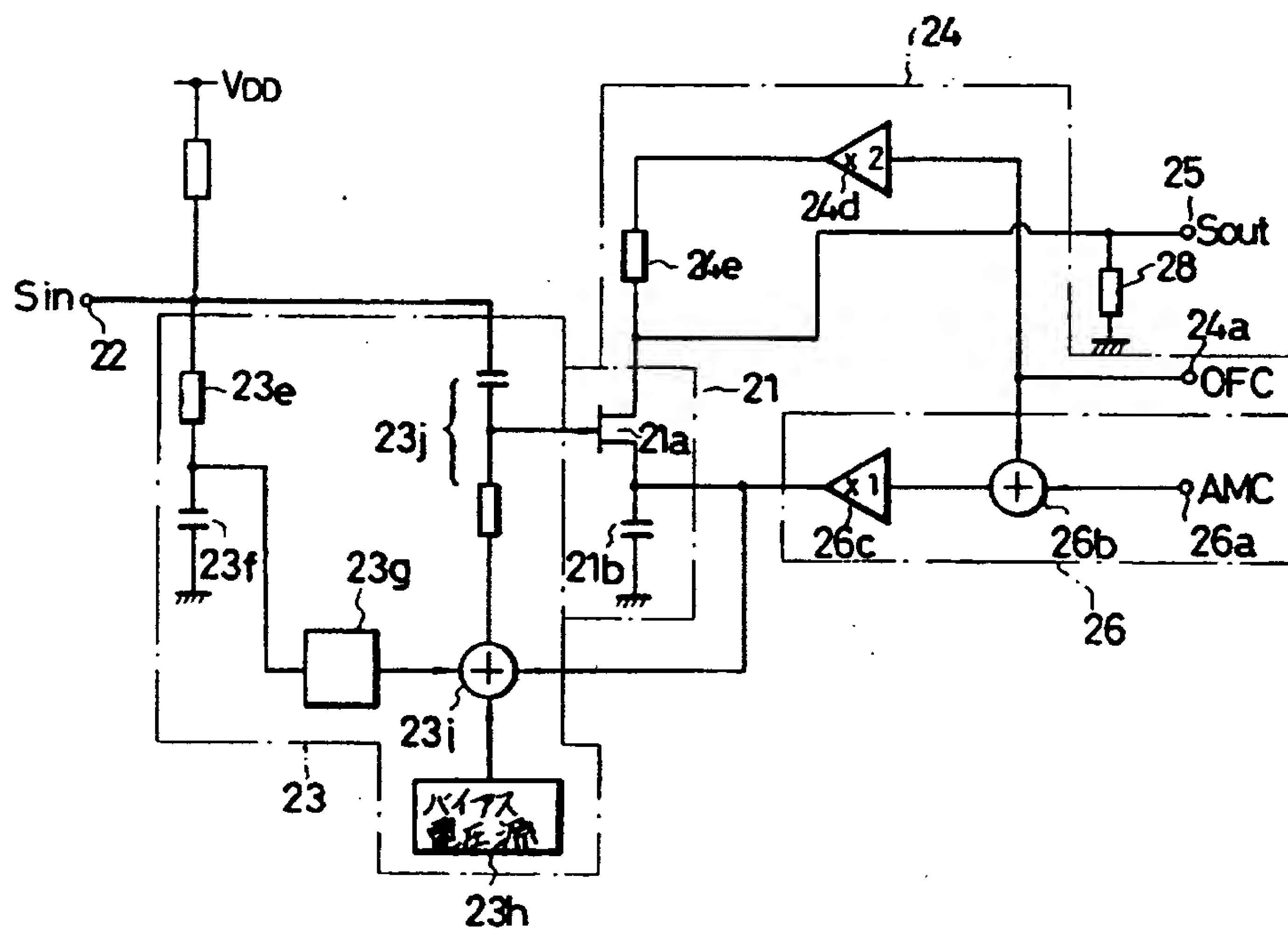
21…ソース接地形論理回路、21a…FET、



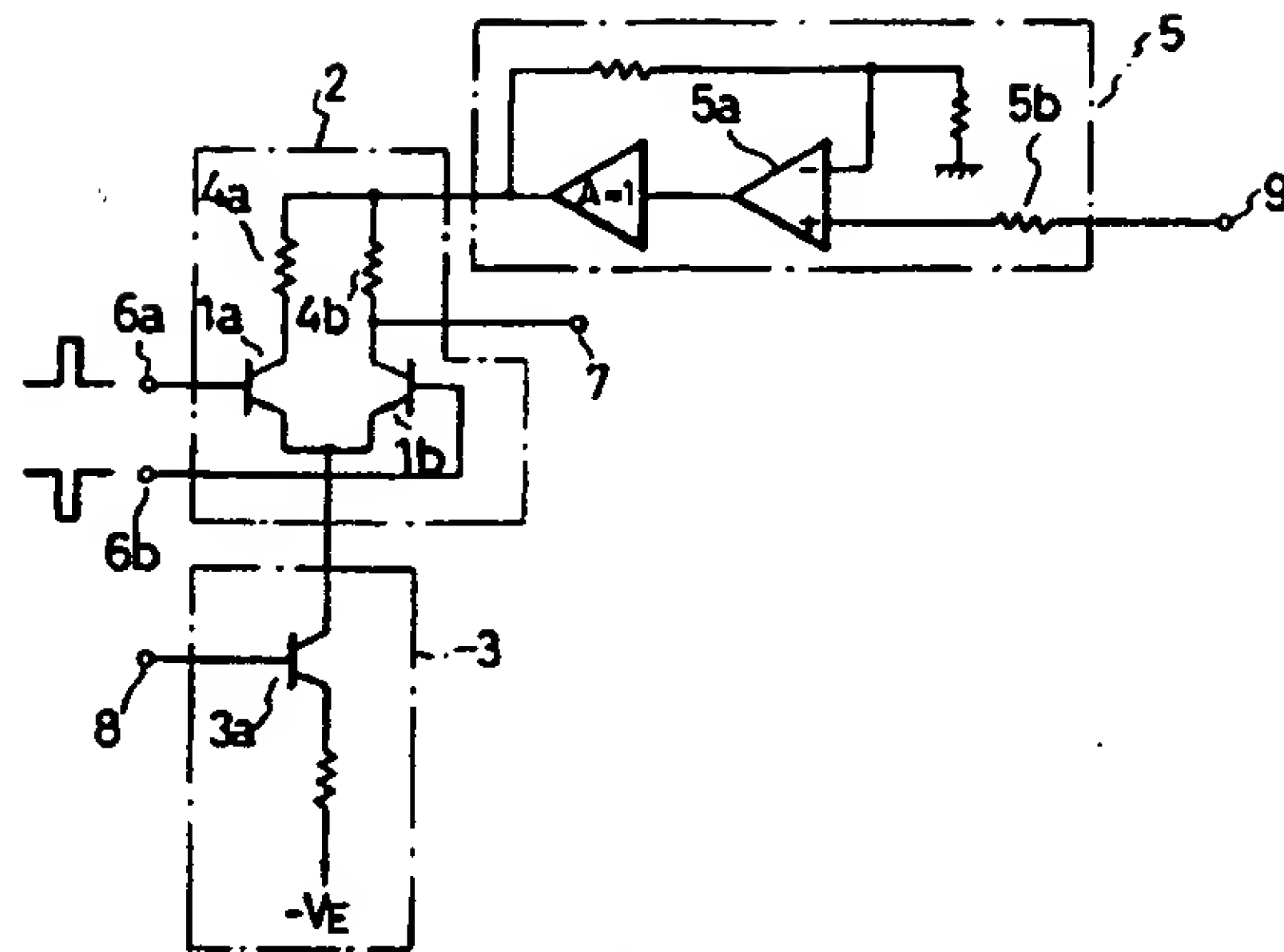
第2図



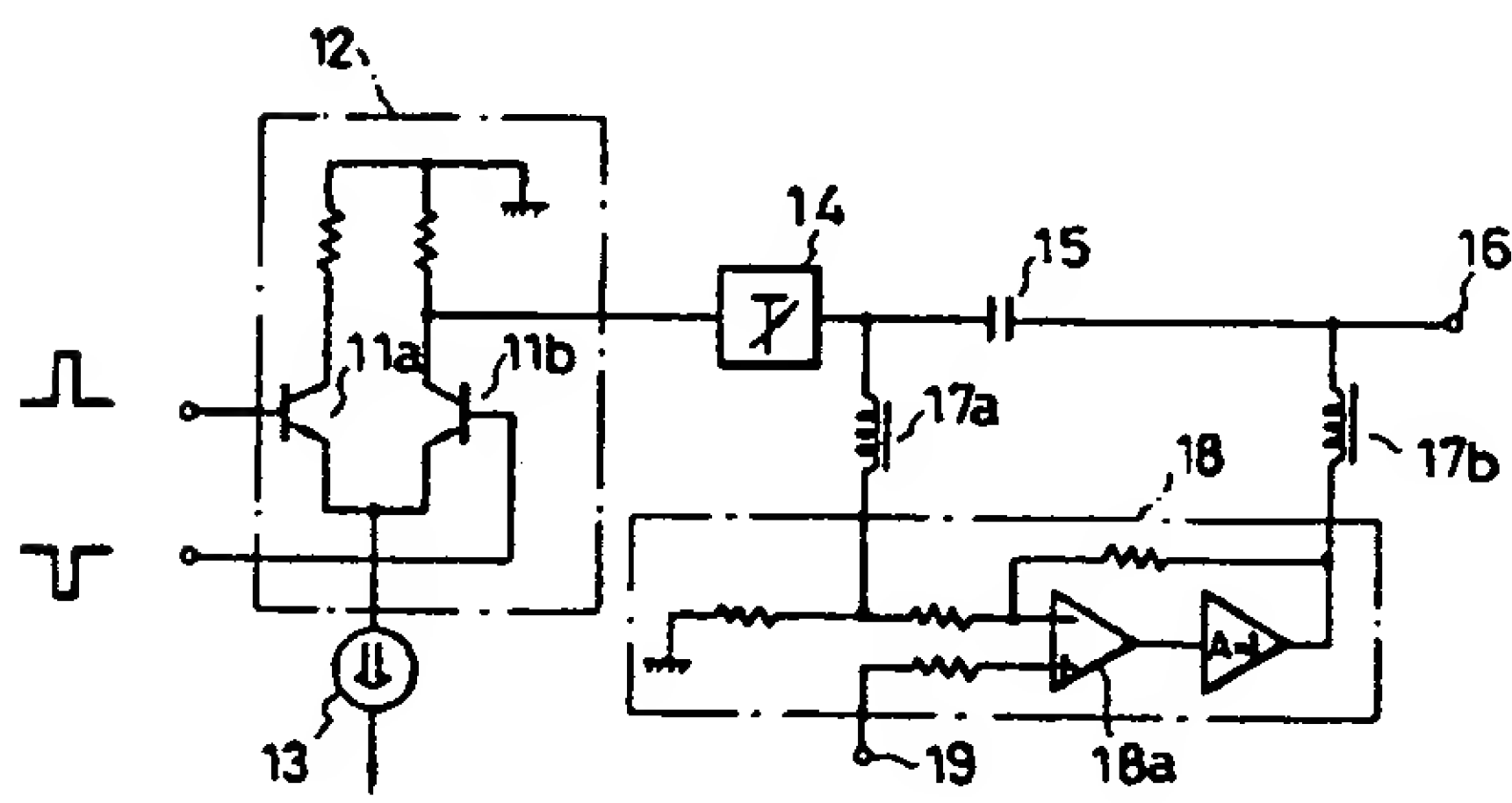
第 1 図



第 3 図



第 4 図



第 5 図